

(19)日本国特許庁 (JP)

(12) 特 許 公 報 (B 2)

(11)特許番号

特許第3335872号
(P3335872)

(45)発行日 平成14年10月21日(2002. 10. 21)

(24)登録日 平成14年8月2日(2002. 8. 2)

(51)Int.Cl.⁷

H 0 3 H 11/04

識別記号

F I

H 0 3 H 11/04

G

請求項の数15(全 18 頁)

(21)出願番号	特願平9-129598
(22)出願日	平成9年5月20日(1997. 5. 20)
(65)公開番号	特開平10-322162
(43)公開日	平成10年12月4日(1998. 12. 4)
審査請求日	平成12年9月6日(2000. 9. 6)

(73)特許権者	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(72)発明者	板倉 哲朗 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
(72)発明者	上野 隆 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
(72)発明者	谷本 洋 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
(74)代理人	100058479 弁理士 鈴江 武彦 (外6名)
審査官	清水 稔

最終頁に続く

(54)【発明の名称】 時定数調整回路

1

(57)【特許請求の範囲】

【請求項1】集積回路上に構成された時定数を持つ電子回路の時定数を調整する時定数調整回路において、前記集積回路の外部に設けられた時定数回路を含んで構成され、該時定数回路が持つ時定数で時間と共に値が変化する時間基準信号を発生する時間基準発生手段と、前記集積回路上に形成された時定数回路を含んで構成され、該時定数回路が持つ時定数で時間と共に値が変化する時定数信号を発生する時定数発生手段と、

前記時間基準信号が所定値に達した時点と前記時定数信号が該所定値に達した時点との前後関係を判定する判定手段と、前記判定手段の判定結果を記憶する記憶手段とを具備し、

前記記憶手段の出力に基づいて前記電子回路の時定数を

10

2

調整することを特徴とする時定数調整回路。

【請求項2】集積回路上に構成された時定数を持つ電子回路の時定数を調整する時定数調整回路において、第2の起動信号により起動され、クロック信号を所定個数カウントした時点で時間基準信号を発生する時間基準発生手段と、

前記集積回路上に形成された複数の時定数回路を含んで構成され、該時定数回路が持つ時定数で時間と共に値が変化する異なる時定数を持つ複数の時定数信号を発生する時定数発生手段と、

前記時間基準信号が所定値に達した時点または前記時間基準信号の発生時点と、前記複数の時定数信号がそれぞれ所定値に達した時点との前後関係を並行して判定する判定手段と、

前記判定手段の判定結果を記憶する記憶手段とを具備

し、前記記憶手段の出力に基づいて前記電子回路の時定数を調整することを特徴とする時定数調整回路。

【請求項3】前記時間基準発生手段および前記時定数発生手段は共通の起動信号により同時に起動されることを特徴とする請求項1または2に記載の時定数調整回路。

【請求項4】前記時間基準発生手段は第2の起動信号により起動され、

前記時定数発生手段は第1の起動信号によって起動され、その後に前記第2の起動信号を発生することを特徴とする請求項2に記載の時定数調整回路。

【請求項5】前記時定数発生手段は、異なる時定数を持つ複数の時定数信号を同時に発生可能に構成され、前記判定手段は、前記時間基準信号が前記所定値に達した時点または前記時間基準信号の前記発生時点と、前記複数の時定数信号がそれぞれ前記所定値に達した時点との前後関係を並行して判定することを特徴とする請求項1に記載の時定数調整回路。

【請求項6】前記時定数発生手段は、異なる時定数を持つ時定数信号を順次選択的に発生可能に構成され、前記判定手段は、前記時間基準信号が前記所定値に達した時点または前記時間基準信号の前記発生時点と、前記時定数信号がそれぞれ前記所定値に達した時点との前後関係を順次判定することを特徴とする請求項1に記載の時定数調整回路。

【請求項7】前記時定数発生手段は、前記集積回路上に形成された時定数回路に接続された電源端を有し、該電源端は前記集積回路上の他の電源端と独立していることを特徴とする請求項1～6のいずれか1項に記載の時定数調整回路。

【請求項8】前記時間基準発生手段は、前記集積回路の外部に設けられた時定数回路に接続された第1の電源端を有し、

前記時定数発生手段は、前記集積回路上に形成された時定数回路に接続された第2の電源端を有し、該第2の電源端は前記第1の電源端と共に接続されていることを特徴とする請求項1～6のいずれか1項に記載の時定数調整回路。

【請求項9】集積回路上に形成された抵抗素子と該集積回路外に設けられた容量素子とを含む時定数を持つ電子回路の時定数を調整する時定数調整回路において、前記集積回路の外部に設けられた抵抗素子を含んで構成され、該抵抗素子の値に依存した出力信号を発生する第1の抵抗回路と、

前記集積回路上に形成された複数の抵抗素子を含んで構成され、該複数の抵抗素子の異なる値に依存した複数の出力信号を同時に発生する第2の抵抗回路と、

前記第1の抵抗回路からの出力信号と前記第2の抵抗回路からの複数の出力信号の大小関係を並行して判定する判定手段とを具備し、

4
前記判定手段の判定結果に基づいて前記電子回路の時定数を調整することを特徴とする時定数調整回路。

【請求項10】集積回路上に形成された抵抗素子と該集積回路外に設けられた容量素子とを含む時定数を持つ電子回路の時定数を調整する時定数調整回路において、前記集積回路の外部に設けられた抵抗素子を含んで構成され、該抵抗素子の値に依存した出力信号を発生する第1の抵抗回路と、

前記集積回路上に形成された複数の抵抗素子を含んで構成され、該複数の抵抗素子の異なる値に依存した複数の出力信号を同時に発生する第2の抵抗回路と、

前記第1の抵抗回路からの出力信号と前記第2の抵抗回路からの複数の出力信号の大小関係を並行して判定する判定手段と、

前記判定手段の判定結果を記憶する記憶手段とを具備し、

前記記憶手段の出力に基づいて前記電子回路の時定数を調整することを特徴とする時定数調整回路。

【請求項11】集積回路上に形成された抵抗素子と該集積回路外に設けられた容量素子とを含む時定数を持つ電子回路の時定数を調整する時定数調整回路において、前記集積回路の外部に設けられた抵抗素子を含んで構成され、該抵抗素子の値に依存した出力信号を発生する第1の抵抗回路と、

前記集積回路上に形成された複数の抵抗素子を含んで構成され、該複数の抵抗素子の異なる値に依存した複数の出力信号を順次選択的に発生する第2の抵抗回路と、

前記第1の抵抗回路からの出力信号と前記第2の抵抗回路からの複数の出力信号の大小関係を順次判定する判定手段とを具備し、

前記判定手段の判定結果に基づいて前記電子回路の時定数を調整することを特徴とする時定数調整回路。

【請求項12】集積回路上に形成された抵抗素子と該集積回路外に設けられた容量素子とを含む時定数を持つ電子回路の時定数を調整する時定数調整回路において、前記集積回路の外部に設けられた抵抗素子を含んで構成され、該抵抗素子の値に依存した出力信号を発生する第1の抵抗回路と、

前記集積回路上に形成された複数の抵抗素子を含んで構成され、該複数の抵抗素子の異なる値に依存した複数の出力信号を順次選択的に発生する第2の抵抗回路と、

前記第1の抵抗回路からの出力信号と前記第2の抵抗回路からの複数の出力信号の大小関係を順次判定する判定手段と、

前記判定手段の判定結果を記憶する記憶手段とを具備し、

前記記憶手段の出力に基づいて前記電子回路の時定数を調整することを特徴とする時定数調整回路。

【請求項13】前記判定手段は、少なくとも出力部にヒステリシスを有することを特徴とする請求項9～12の

いすれか1項に記載の時定数調整回路。

【請求項14】前記第2の抵抗回路は、前記集積回路上に形成された抵抗素子に接続された電源端を有し、該電源端は前記集積回路上の他の電源端と独立していることを特徴とする請求項9～12のいすれか1項に記載の時定数調整回路。

【請求項15】前記第1の抵抗回路は、前記集積回路の外部に設けられた抵抗素子に接続された第1の電源端を有し、

前記第2の抵抗回路は、前記集積回路上に形成された抵抗素子に接続された第2の電源端を有し、該第2の電源端は前記第1の電源端と共に接続されていることを特徴とする請求項9～12のいすれか1項に記載の時定数調整回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えばフィルタなどの時定数を持つ電子回路の時定数を調整するための時定数調整回路に関する。

【0002】

【従来の技術】フィルタのような時定数を持つ電子回路では、時定数を決めている抵抗素子や容量素子などのばらつきにより、電子回路の特性、例えばフィルタのカットオフ周波数がずれるなどの問題がある。特に、集積化した電子回路では抵抗素子や容量素子の値が10%～30%程度ばらつくため、その特性もこれに応じてばらつくこととなり、集積化による歩留まりが著しく劣化する。

【0003】この問題を解決するために、従来、ダミーのフィルタなどの時定数回路を用いて時定数をモニタする手法が用いられてきた。これは、集積回路上に形成した抵抗素子や容量素子の絶対値は10%～30%程度ばらつくものの、相対値の精度は高いことを利用したものであり、ダミーの時定数回路に既知の参照交流信号を入力し、その出力のレベルや位相が所望の値となるように例えば抵抗や容量など時定数に関わる素子の値を調整して、このダミーの時定数回路についての調整情報を同じ集積回路上に構成した本来のフィルタなどの電子回路の時定数の調整に使用するものである。

【0004】しかし、この手法では時定数を調整すべき電子回路の外部に参照交流信号の発生源を設ける必要があるために、構成が複雑化するという問題があり、また参照交流信号が本来の電子回路へ洩れ込み、電子回路の動作に悪影響を及ぼす可能性がある。さらに、参照交流信号をダミーの時定数回路に与えてダミーの時定数回路を常に動作させているため、消費電流が増大することも欠点である。

【0005】また、Khorramabadi氏等がInternational Solid-State Circuits Conference'96で発表したDigest of Technical Papers, pp. 172-173には、調整対象の

フィルタに対して、そのフィルタを使用していない時間帯に参照交流信号を入力し、その時のフィルタ出力を直接モニタすることにより周波数特性を測定して、カットオフ周波数などの特性が所望の値となるようにフィルタの時定数を調整する手法が開示されている。

【0006】

【発明が解決しようとする課題】上述したように、ダミーの時定数回路に参照交流信号を入力して時定数に関わる素子の値を調整し、その調整情報を本来の電子回路の時定数の調整に用いる手法では、時定数を調整すべき電子回路の外部に参照交流信号の発生源を設ける必要であるため構成が複雑となると共に、参照交流信号が本来の電子回路へ洩れ込んでしまうという問題があり、参照交流信号をダミーの時定数回路に与えてダミーの時定数回路を常に動作させていることから消費電流が増大するという問題があった。

【0007】一方、調整対象のフィルタに参照交流信号を入力し、その時のフィルタ出力から周波数特性を測定して時定数を調整する手法では、周波数特性を測るために複数の周波数の参照交流信号発生源が必要となるほか、周波数特性を測定する信号処理部が新たに必要となるという問題があった。

【0008】本発明は、上述した従来の問題点を解消すべくなされたもので、参照交流信号源を必要とせず、また消費電流の増大もなく、さらに電子回路の周波数特性の測定を不要とした時定数調整回路を提供することを目的とする。

【0009】

【課題を解決するための手段】上記課題を解決するため、本発明に係る第1の時定数調整回路は、集積回路の外部に設けられた時定数回路の時定数を基準として、集積回路上に形成された時定数回路の時定数のばらつきをモニタし、これに基づいて集積回路上に構成された時定数を持つ電子回路の時定数を調整するようにしたものであり、集積回路の外部に設けられた時定数回路を含んで構成され、該時定数回路が持つ時定数で時間と共に値が変化する時間基準信号を発生する時間基準発生手段と、集積回路上に形成された時定数回路を含んで構成され、該時定数回路が持つ時定数で時間と共に値が変化する時定数信号を発生する時定数発生手段と、時間基準信号が所定値に達した時点と時定数信号が該所定値に達した時点との前後関係を判定する判定手段と、この判定手段の判定結果を記憶する記憶手段とを具備し、この記憶手段の出力に基づいて電子回路の時定数を調整することを特徴とする。

【0010】この第1の時定数調整回路では、例えば時間基準発生手段と時定数発生手段を共通の起動信号により同時に起動し、時間基準発生手段からの時間基準信号が所定値に達した時点で、時定数発生手段からの時定数信号が所定値に達したか否かを判定することで、抵抗素

子や容量素子などの時定数に関わる素子のばらつきにより時定数が所定の値より大きくなっているか、または小さくなっているかが分かる。従って、この判定結果を記憶し、それに基づいて時定数が所定の値より大きい時には電子回路の時定数を小さくするように、また時定数が所定の値より小さい時には大きくするように切り替えることで、電子回路の時定数を所定の値に調整することが可能となる。

【0011】このため、集積回路の外部に複雑な参照交流信号源を用意する必要がないばかりでなく、一旦得られた判定結果を記憶して時定数の調整に用いることにより、時定数の調整は例えば電源投入時にのみ起動信号を発生させて行えばよく、従来の手法のように常にダミーの時定数回路を動作させる必要はないので消費電流が低減され、また時定数発生手段によって時間基準信号を基準として電子回路の時定数をモニタする構成であるため、従来の技術のようにフィルタの周波数特性を測定する信号処理部は不要となる。

【0012】また、時定数発生手段から異なる時定数を持つ複数の時定数信号を同時に発生させるか、あるいは異なる時定数を持つ時定数信号を順次選択的に発生させ、判定手段により時間基準信号が所定値に達した時点と複数の時定数信号がそれぞれ所定値に達した時点との前後関係を並行して判定するか、あるいは時間基準信号が所定値に達した時点と時定数信号がそれぞれ所定値に達した時点との前後関係を順次判定することによって、時定数のばらつきの度合いを検出することも可能であり、これにより時定数の調整精度をさらに上げることができる。

【0013】本発明に係る第2の時定数調整回路は、高精度のクロック信号をカウントするカウンタに所定の時定数に相当する初期値を設定し、これを基準として、集積回路上に形成された時定数回路の時定数のばらつきをモニタし、これに基づいて集積回路上に構成された時定数を持つ電子回路の時定数を調整するようにしたものであり、クロック信号を所定個数カウントした時点で時間基準信号を発生する時間基準発生手段と、集積回路上に形成された複数の時定数回路を含んで構成され、該時定数回路が持つ時定数で時間と共に値が変化する異なる時定数を持つ複数の時定数信号を発生する時定数発生手段と、時間基準信号が所定値に達した時点または時間基準信号の発生時点と複数の時定数信号がそれぞれ所定値に達した時点との前後関係を並行して判定する判定手段と、この判定手段の判定結果を記憶する記憶手段とを具備し、この記憶手段の出力に基づいて電子回路の時定数を調整することを特徴とする。

【0014】

【0015】従って、この場合も集積回路の外部に複雑な参照交流信号源は不要であり、また時定数の調整は例えば電源投入時にのみ起動信号を発生させて行えばよ

く、フィルタの周波数特性を測定する信号処理部も不要となる。

【0016】また、この第2の時定数調整回路では、時定数発生手段から異なる時定数を持つ複数の時定数信号を同時に発生させ、判定手段により時間基準信号の発生時点と複数の時定数信号がそれぞれ所定値に達した時点との前後関係を並行して判定することによって、時定数のばらつきの度合いを検出することが可能であり、これにより時定数の調整精度がさらに向上する。

【0017】本発明に係る第3の時定数調整回路は、集積回路の外部に設けられた抵抗素子を基準として、集積回路上に形成された抵抗素子のばらつきをモニタし、これに基づいて集積回路上に形成された抵抗素子と該集積回路外に設けられた容量素子とを含む時定数を持つ電子回路の時定数を調整するようにしたものであり、集積回路の外部に設けられた抵抗素子を含んで構成され、該抵抗素子の値に依存した出力信号を発生する第1の抵抗回路と、集積回路上に形成された複数の抵抗素子を含んで構成され、該複数の抵抗素子の異なる値に依存した複数の出力信号を同時にあるいは順次選択的に発生する第2の抵抗回路と、第1の抵抗回路からの出力信号と第2の抵抗回路からの複数の出力信号の大小関係を並行してあるいは順次に判定する判定手段とを具備し、この判定手段の判定結果に基づいて電子回路の時定数を調整することを特徴とする。

【0018】なお、判定手段の判定結果を記憶する記憶手段をさら備え、この記憶手段の出力に基づいて電子回路の時定数を調整する構成としてもよい。時定数に関わる容量素子を集積回路上に形成せず外付けとした電子回路においては、時定数のばらつきは基本的に集積回路上に形成した抵抗素子の値のばらつきのみに依存するため、基準の第1の抵抗回路の出力とモニタ用である第2の抵抗回路の出力信号の大小関係を判定することにより、集積回路上に形成された抵抗素子の値が所定の値よりも大きくなっているか小さくなっているか判定できる。従って、この判定結果に基づいて、例えば電子回路の時定数に関わる集積回路上に形成された抵抗素子を切り替えることで、電子回路の時定数を所定の値に調整することが可能となる。

【0019】このため、集積回路の外部に複雑な参照交流信号源を用意する必要がないばかりでなく、一旦得られた判定結果を記憶して時定数の調整に用いることにより、時定数の調整は例えば電源投入時にのみ起動信号を発生させて行えばよく、従来の手法のように常にダミーの時定数回路を動作させる必要はないので消費電流が低減され、また第2の抵抗回路の出力信号の大きさを第1の抵抗回路の出力信号の大きさを基準として判定することで電子回路の時定数をモニタする構成であるため、従来の技術のようにフィルタの周波数特性を測定する信号処理部は不要となる。

【0020】さらに、第2の抵抗回路から複数の抵抗素子の異なる抵抗値に依存した複数の出力信号を同時に発生させるか、あるいは異なる抵抗値に依存した出力信号を順次選択的に発生させ、判定手段により第1の抵抗回路の出力信号と第2の抵抗回路の異なる抵抗値に依存する出力信号との大小関係を並行して、あるいは順次判定することによって、時定数のばらつきの度合いを検出することにより時定数の調整精度をさらに上げることができる。

【0021】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。

【第1の実施形態】図1に、本発明の第1の実施形態に係る時定数調整回路の概略構成を示す。この時定数調整回路は、集積回路上に構成された時定数を持つ電子回路5の時定数を調整する回路であり、時間基準発生部1と、時定数発生部2と、判定部3および記憶部4からなる。

【0022】時間基準発生部1は、集積回路の外部に設けられた時定数回路を含んで構成され、外部から与えられる起動信号により起動されて、この時定数回路の持つ時定数で時間と共にその値、例えば電圧値が変化する時間基準信号を発生する。

【0023】なお、後述する第3の具体例に示すように、時間基準発生部1をカウンタで構成し、このカウンタがクロック信号を所定個数カウントした時点で時間基準信号を発生するようにしてもよい。

【0024】一方、時定数発生部2は、集積回路上に形成された時定数回路を含んで構成され、時間基準発生部1与えられる起動信号と共に起動信号により時間基準発生部1と同時に起動されて、この時定数回路の持つ時定数で時間と共にその値、例えば電圧値が変化する時定数信号を発生する。

【0025】時間基準発生部1から発生される時間基準信号と時定数発生部2から発生される時定数信号は判定部3に入力され、時間基準信号の電圧値が所定値に達した時点と時定数信号の電圧値が所定値に達した時点の前後関係が判定される。具体的には、判定部3では時間基準信号の電圧値が所定値に達した時点で、時定数信号の電圧値が所定値になっているか否かによって、あるいは逆に時定数信号の電圧値が所定値に達した時点で、時間基準信号の電圧値が所定値になっているか否かによって、抵抗素子や容量素子などのばらつきにより電子回路5の時定数が所定値より大きくなっているか、小さくなっているかを判定する。

【0026】判定部3の判定結果は記憶部4に記憶され、この記憶部4の出力に基づいて電子回路5の時定数が調整される。すなわち、記憶部4に記憶された判定結果により、電子回路5の時定数が所定の値より大きい時には時定数が小さくなり、時定数が所定の値より小さい

時には大きくなるように時定数が切り替えられる。

【0027】このような構成により、従来の手法のように参照交流信号を用いることなく電子回路5の時定数調整が可能となる。このため、集積回路の外部に複雑な参照交流信号源を用意する必要がなく、時定数調整回路の構成が簡単なものとなる。

【0028】また、判定部3の判定結果を記憶部4に記憶し、この記憶部4の出力を電子回路5に供給して時定数を調整することにより、調整結果は次の調整時まで保

持される。従って、時定数の調整は例えば電源投入時にのみ起動信号を発生させて行えばよく、従来の手法のように常にダミーの時定数回路を動作させる必要はないので、消費電流を低減させることができる。

【0029】さらに、時定数発生部2によって時間基準発生部1からの時間基準信号を基準として電子回路5の時定数をモニタする構成であるため、従来の技術のようにフィルタの周波数特性を測定する信号処理部を持つ必要もない。

【0030】次に、図1に示した時定数調整回路のより具体的な例を説明する。

(第1の具体例) 図2は、図1を具体化した第1の具体例を示す回路図である。時間基準発生部1は外付けの素子、つまり集積回路の外部に設けられた絶対精度の良い抵抗素子Rextと容量素子Cextの直列回路からなる時定数回路を電源Vccと接地GND間に接続し、さらに起動用スイッチSW1を容量素子Cextの両端間に接続して構成されている。なお、VccとGNDを総称して電源端という。

【0031】時定数発生部2は、回路的には時間基準発生部1と同様に抵抗素子Rint1と容量素子Cint1の直列回路からなる時定数回路および起動用スイッチSW2により構成されるが、時間基準発生部1の抵抗素子Rextと容量素子Cextと異なり、抵抗素子Rint1と容量素子Cint1は集積回路上、つまり電子回路5と同一の集積回路チップ上に形成される。

【0032】また、この例では判定部3と記憶部4は一部の要素を共用して一体に構成されており、時間基準発生部1からの時間基準信号の電圧と所定の基準電圧Vb1を比較するコンパレータCMP1と、時定数発生部2からの時定数信号の電圧と基準電圧Vb1を比較するコンパレータCMP2と、コンパレータCMP1の出力が高レベル(“1”)になったタイミングでコンパレータCMP2の出力が低レベル(“0”)か高レベル

(“1”)かを判定してその判定結果を記憶するフリップフロップFFよりなる。すなわち、この例ではフリップフロップFFはD型フリップフロップであり、そのクロック入力にコンパレータCMP1の出力が接続され、D入力にコンパレータCMP2の出力が接続されている。

【0033】時定数調整可能な電子回路5は、演算増幅

11

回路A51、容量素子C510、C511、抵抗素子R510、R511、R520、R521、R530、R531およびスイッチSW51～SW53からなり、スイッチSW51～SW53のオン／オフにより時定数の調整可能な多重帰還型低域通過フィルタを構成している。すなわち、スイッチSW51～SW53をオンにすると、抵抗R511、R521、R531が各々抵抗R510、R520、R530に並列接続されるため、時定数が小さく、つまりカットオフ周波数が高くなる。

【0034】次に、図2の時定数調整回路の動作を説明する。初期状態では、時間基準発生部1のスイッチSW1と時定数発生部2のスイッチSW2は閉じている。電源を投入すると、所定の時間経過後に起動信号が発生され、スイッチSW1、SW2が開く。これにより容量素子Cext、Cint1はそれぞれ抵抗素子Rext、Rint1を介して充電され始め、時間基準発生部1および時定数発生部2の出力電圧、すなわち時間基準信号および時定数信号の電圧が上がる。この電圧の上がり方は、時間基準発生部1および時定数発生部2を構成する抵抗素子と容量素子の時定数で決まる。

【0035】例えば、時定数発生部2を構成する抵抗素子Rint1と容量素子Cint1の時定数の設計値を時間基準発生部1を構成する抵抗素子Rextと容量素子Cextの時定数より若干小さめにしておくと、集積回路上に形成される抵抗素子Rint1と容量素子Cint1のばらつきが小さい場合、時定数発生部2の出力電圧の方が時間基準発生部1の出力電圧より早く基準電圧Vb1に達する。従って、抵抗素子Rint1および容量素子Cint1のばらつきが小さい場合、判定部3および記憶部4においてコンパレータCMP1の出力より早くコンパレータCMP2の出力が“0”から“1”に転じる。

【0036】判定部3および記憶部4におけるフリップフロップFFは、コンパレータCMP1の出力が“0”から“1”になった時にコンパレータCMP2の出力レベルを取り込んで記憶するものであり、この場合は“1”がフリップフロップFFに記憶される。電子回路5ではフリップフロップの反転出力/Qである“0”を受けて、スイッチSW51～SW53を開いたままの状態とする。従って、電子回路5の時定数は変更されない。

【0037】集積回路上に形成される抵抗素子Rint1および容量素子Cint1がばらついて時定数が設計値より大きくなった場合、電子回路5の抵抗素子および容量素子もRint1およびCint1と同一の集積回路上に形成されるため、電子回路5の時定数は設計値より大きくなるので、これを調整しないと電子回路5におけるフィルタの時定数が大きくなり、カットオフ周波数が下がってしまう。

【0038】ここで、抵抗素子Rint1と容量素子Cint1がばらついて時定数が設計値より大きくなつた場合、時間基準発生部1の出力電圧の方が時定数発生部2の出力

10

20

30

40

50

40

50

12

電圧より早く基準電圧Vb1に達する。従って、判定部3および記憶部4においてコンパレータCMP2の出力より早く、コンパレータCMP1の出力が“0”から“1”に転じ、“0”がフリップフロップFFに記憶される。このとき、電子回路5ではフリップフロップFFの反転出力/Qである“1”を受けてスイッチSW51～SW53を閉じることにより、時定数が小さくなるよう、つまりフィルタのカットオフ周波数が上がり、設計値からのずれが小さくなるように調整されることになる。

(第2の具体例) 図3は図1を具体化した第2の具体例を示す回路図であり、判定部3および記憶部4において、フリップフロップFFのD入力にコンパレータCMP1の出力を、クロック入力にコンパレータCMP2の出力をそれぞれ接続し、コンパレータCMP2の出力が“0”になったタイミングでコンパレータCMP2の出力が“1”か“0”かを判定して、その判定結果を記憶するようにし、これに伴いフリップフロップの非反転出力Qを用いて電子回路5の時定数を調整するようにした点が図2と異なっている。このようにしても、第1の具体例と全く同様の結果が得られることは明らかである。

(第3の具体例) 図4に、図1を具体化した第3の具体例を示す。通常、集積回路上の電源電位およびGND電位は、集積回路上の配線抵抗により、集積回路に供給される電源電位およびGND電位からずれる。第1の実施形態では、時間基準信号および時定数信号を電圧信号としているため、外部電源および外部GNDに接続されている時間基準発生部1の時定数と、集積回路上の電源およびGNDに接続されている時定数発生部2の時定数の比較を正確にきなきもある。

【0039】この問題は、図4に示すように時定数発生部2の電源端(Vcc, GND)を集積回路上の他の電源端(Vcc, GND)と独立させて、例えば時間基準発生部1に接続されている外部電源端(Vcc, GND)と共に接続し、時定数発生部2のVccおよびGND電位が外部より集積回路に印加するVccおよびGND電位からずれるのを低減させることで解消することができ、これにより時定数の比較を正確に行うことができる。

(第4の具体例) 図5に、図1を具体化した第4の具体例を示す。図2では、時間基準発生部1を抵抗素子Rextと容量素子Cextからなる時定数回路で構成したが、図5に示すようにカウンタCNT1を用いて構成することもできる。このカウンタCNT1は、時間基準発生部1の時定数に相当する所定の初期値が与えられ、起動信号により起動されてクロック信号によりダウンカウントを開始し、初期値分だけダウンカウントするとリップルキャリーを発生するように構成される。

【0040】一方、判定部3および記憶部4においては、図2におけるコンパレータCMP1が除去され、カ

13

ウンタCNT1からのリップルキャリー出力がフリップフロップFFのクロック入力に与えられる。

【0041】ここで、時定数発生部2における抵抗素子Rint1と容量素子Cint1からなる時定数回路の時定数の設計値を時間基準発生部1に与えた初期値に相当する時定数より若干小さめにしておくと、集積回路上に形成された抵抗素子Rint1と容量素子Cint1のばらつきが小さい場合、時間基準発生部1のカウンタCNT1が初期値分ダウンカウントしてリップルキャリーが発生する時点より早く、時定数発生部2の出力電圧が基準電圧Vb1に達する。従って、抵抗素子Rint1と容量素子Cint1のばらつきが小さい場合、カウンタCNT1がリップルキャリーを発生するより早く、コンパレータCMP2の出力が“0”から“1”に転じる。

【0042】フリップフロップFFは、カウンタCNT1からリップルキャリーが発生した時にコンパレータCMP2の出力レベルを取り込んで記憶し、この場合は“1”を記憶する。電子回路5ではフリップフロップの反転出力/Qである“0”を受けて、スイッチSW51～SW53を開いたままの状態とするので、電子回路5の時定数は変更されない。

【0043】ここで、抵抗素子Rint1と容量素子Cint1がばらついて時定数が設計値より大きくなった場合、時定数発生部2の出力電圧が基準電圧Vb1に達するより早く、時間基準発生部1のカウンタCNT1が初期値分ダウンカウントしリップルキャリーを発生する。従って、判定部3および記憶部4においてコンパレータCMP2の出力が“0”から“1”に転じるより早くカウンタCNT1がリップルキャリーを発生し、“0”がフリップフロップFFに記憶される。このとき、電子回路5ではフリップフロップFFの反転出力/Qである“1”を受けてスイッチSW51～SW53を閉じることにより、時定数が小さくなるように、つまりフィルタのカットオフ周波数が上がり、設計値からのずれが小さくなるように調整されることになる。

(第5の具体例) 図6は、図1を具体化した第5の具体例を示す回路図であり、時定数発生部2が增幅回路A21、抵抗素子Rint、容量素子Cintおよび電圧源E21からなる一般的な積分器により構成されている点が図5と異なっている。なお、この例では時間基準発生部1を図5と同様にカウンタCNT1を用いて構成したが、図2～図4と同様に時定数回路を用いて構成してもよい。

(第6の具体例) 図7は、図1を具体化した第6の具体例を示す回路図であり、電子回路5はトランスコンダクタンスが切り替え可能なトランスコンダクタと容量素子からなるフィルタを構成している。また、これに伴い時定数発生部2をトランスコンダクタT21と容量素子Cintからなる積分器で構成している。この場合、判定部3の判定結果を記憶する記憶部4の出力に基づいて、電

14

子回路5内のトランスコンダクタのトランスコンダクタンスを調整することで、時定数を調整すればよい。なお、この例では時間基準発生部1を図5と同様にカウンタCNT1を用いて構成したが、図2～図4と同様に時定数回路を用いて構成してもよい。

【0044】[第2の実施形態] 図8に、本発明の第2の実施形態に係る時定数調整回路の概略構成を示す。上述した第1の実施形態では、基準時間発生部1と時定数発生部2が共通の起動信号に同時に起動される。図2～10図4中の時定数発生部2において、起動信号が入力されるまで容量素子Cint1をショートして時定数信号をGND電位にするためのスイッチSW2は、例えばMOSトランジスタにより構成される。この場合、起動信号によりスイッチSW2がオフすると、スイッチSW2を構成するMOSトランジスタから放出されるチャネル電荷qが瞬間に容量素子Cint1に蓄えられ、容量素子Cintの容量をCintで表すと、容量素子Cintには瞬時にして $q/Cint$ なる電圧が初期値として発生する。このため、時定数発生部2からの出力電圧が判定部3で基準電圧Vb1に達してコンパレータCMP2の出力が“1”に反転する時間に誤差が生じてしまう。

【0045】この問題は、図8に示すように時間基準発生部1を起動する第2の起動信号を時定数発生部2が動作を開始した後に時定数発生部2で発生させることにより解決できる。

【0046】図9は、図8を具体化した例を示す回路図であり、図5の構成を基本として時定数発生部2内にコンパレータCMP3が追加されている。コンパレータCMP3は、時定数発生部2から判定部3への出力電圧が所定の電圧Vb0となった時刻に出力が反転する。このコンパレータCMP3の反転出力が第2の起動信号として時間基準発生部1に供給され、時間基準発生部1のカウンタCNT1が起動される。この場合、時間基準発生部1のカウンタCNT1の初期値として与えた時定数より、時定数発生部2の出力がVb0からVb1に変化する時間の設計値を若干短めにしてやればよい。

【0047】[第3の実施形態] 図10に、本発明の第3の実施形態に係る時定数調整回路の概略構成を示す。本実施形態では、時定数発生部2が時定数の異なる複数40(n)の時定数発生回路2-2～2-nにより構成されている。

【0048】第1、第2の実施形態では、抵抗素子や容量素子などの大きなばらつきにより時定数発生部2の時定数がばらついているかどうかの判定を大まかに行う例について説明したが、本実施形態では異なる時定数の時定数発生回路2-2～2-nによってn個の時定数信号が同時に出来され、時間基準信号の電圧値が所定値に達した時点とn個の時定数信号の電圧値が所定値に達した時点の前後関係がそれぞれ判定される。このようにすることで、時定数のばらつきの度合も検出することが可能

15

となり、時定数の調整精度を上げることができる。
 (第1の具体例) 図11は、図10を具体化した第1の具体例を示す回路図である。時定数発生回路2-1～2-nは、抵抗素子Rint2-1～Rint2-nと容量素子Cint2-1～Cint2-nおよび起動用スイッチSW2-1～SW2-nにより構成され、起動用スイッチSW2-1～SW2-nは時間基準発生部1の起動用スイッチSW1を起動する起動信号と共に起動信号により起動される。

【0049】また、時定数発生部2がn個の時定数発生回路2-1～2-nにより構成されることに伴い、時間基準発生部1の出力電圧が基準電圧Vb1に達した時点と時定数発生回路2-1～2-nの出力電圧が基準電圧Vb1に達した時点の前後関係を判定し、かつその判定結果を記憶する判定部3および記憶部4においても、時定数発生回路2-1～2-nの出力電圧と基準電圧Vb1を比較するためにn個のコンパレータCMP2-1～CMP2-nが設けられ、さらにn個のフリップフロップFF-1～FF-nが設けられている。フリップフロップFF-1～FF-nの反転出力/Qは、電子回路5内の時定数切り替えのためのスイッチSW5-1～SW5-nのオン/オフに用いられる。

【0050】ここで、時定数発生回路2-1～2-nのそれぞれの抵抗素子および容量素子の設計値の関係をRint2-1>Rint2-2>……>Rint2-n、Cint2-1=Cint2-2=……=Cint2-n=Cextとして、時定数発生回路2-1～2-nから時定数の異なるn個の時定数信号を同時に発生させる。例えば、n=6として、0.875×Rint2-1=0.925×Rint2-2=0.975×Rint2-3=1.025×Rint2-4=1.075×Rint2-5=1.125×Rint2-6=Rextのように、集積回路外の外付け抵抗である時間基準発生部1内の抵抗素子Rextに対して1/0.875～1/1.125の重み付けを行い、Rint2-1～Rint2-6を設計値として設定する。容量素子Cint2-1～Cint2-6および抵抗素子Rint2-1～Rint2-6は、同一の集積回路チップ上に形成されるため、相対的なばらつきは非常に小さく、ほとんど無視できる。

【0051】このような構成とすれば、例えば集積回路チップ上に形成した抵抗素子と容量素子の値がばらつきにより共に5%大きくなつたとすると、時定数は設計値より10.25%大きくなる。従って、時定数発生回路2-1～2-5の抵抗素子と容量素子による時定数はRext×Cextより大きいので、時定数発生回路2-1～2-5の出力が基準電圧Vb1に達するのは、時間基準発生部1の出力が基準電圧Vb1に達するより遅い。このため、判定部3および記憶部4においてフリップフロップFF-1～FF-5には“0”が取り込まれ、フリップフロップFF-6には“1”が取り込まれる。

【0052】また、例えば集積回路チップ上に形成した抵抗素子の値は設計値通りで、容量素子の値のみばらつ

10

16

いて5%小さくなつたとすると、時定数発生回路2-1～2-2の抵抗素子と容量素子による時定数はRext×Cextより小さいので、時定数発生回路2-1～2-2の出力が基準電圧Vb1に達するのは、時間基準発生部1の出力が基準電圧Vb1に達するより遅い。このため、判定部3および記憶部4においてフリップフロップFF-1～FF-2には“0”が取り込まれ、フリップフロップFF-3～FF-6には“1”が取り込まれる。

【0053】このように、判定部3および記憶部4においてフリップフロップFF-1～FF-nが取り込む“1”的数により、集積回路チップ上に形成した抵抗素子と容量素子による時定数のばらつきの度合を知ることができます。因みに、上記の例では抵抗素子と容量素子の値が全くばらつかない時は、時定数発生回路2-1～2-3の抵抗素子と容量素子による時定数はRext×Cextより大きいので、時定数発生回路2-1～2-3の出力が基準電圧Vb1に達するのは、時間基準発生部1の出力が基準電圧Vb1に達するより遅く、判定部3および記憶部4においてフリップフロップFF-1～FF-3には“0”が取り込まれ、フリップフロップFF-4～FF-6には“1”が取り込まれる。

【0054】一方、電子回路5は例えば図11中に示されるように一つの容量素子C510を有し、スイッチSW5-1～SW5-nを切り替えて、抵抗素子R5-1～R5-nを抵抗素子R5-0に適宜並列に接続するのみで時定数が調整できる構成をとる。上の説明に合わせてn=6とすると、スイッチSW5-1～SW5-6が全て開放した時、R5-0=1.1765×R5nominal、つまり抵抗素子R5-0の値を所望の抵抗値R5nominalに対して1.1765倍にとり、スイッチSW5-1～SW5-6が閉じた時に互いに並列に接続される抵抗素子R5-1～R5-6の値をR5-1=R5-2=……=R5-6=1.7×R5-0に設定する。

【0055】ここで、集積回路上で抵抗素子と容量素子がともに5%大きくなると、判定部3および記憶部4においてフリップフロップFF-1～FF-5には“0”が取り込まれ、フリップフロップFF-6には“1”が取り込まれるので、記憶部4の出力であるフリップフロップの反転出力/Qは、フリップフロップFF-1～FF-5の反転出力が“1”で、フリップフロップFF-6の反転出力が“0”となる。よって、電子回路5においてはスイッチSW5-1～SW5-5が閉じ、抵抗素子R5-1～R5-5が抵抗素子R5-0に並列に接続される。

【0056】このとき、抵抗素子R5-0、R5-1～R5-5の並列合成抵抗の値は0.7727×R5-0となり、それぞれの抵抗素子の値が5%大きくなつたことまで勘定に入れると、0.7727×R5-0=0.7727×1.1765×0.5×R5nominal=0.9545×

40

50

$R_{5nominal}$ となる。一方、容量素子C510の値も5%大きくなっているので、最終的に得られる時定数は所望の時定数に対して $0.9545 \times 1.05 = 1.002$ 倍となり、時定数の自動調整をより高精度に行うことができる。

【0057】さらに、この例では時定数発生部2から時定数の異なる複数の出力信号を同時に出し、時間基準発生部1の出力信号が基準電圧Vb1に達した時点と、時定数発生部2からの複数の出力信号が基準電圧Vb1に達した時点との前後関係の判定を判定部3において並行して行うため、構成素子数はやや多くなるが、時定数発生部2からの出力信号が一つの場合と同等の速度で判定ができ、時定数の調整に要する時間が短時間で済むという利点がある。

(第2の具体例) 図12は、図10を具体化した第2の具体例を示す回路図である。図11の例では、電子回路5においてスイッチSW5-1～SW5-nを閉じることで並列接続される抵抗素子R5-1～R5-nの値を同じにしたが、例えばR5-1=R、R5-2=2R、R5-3=4R、R5-4=8R…のように重みを付けることにより、並列に接続する抵抗素子の数を減らすこともできる。

【0058】この場合、図12に示すように判定部3および記憶部4におけるフリップフロップFF-1～FF-nの反転出力に得られる“1”的数をエンコーダENCによりmビットの2進コードに変換し、これを電子回路5におけるm個($m < n$)の抵抗素子R5-1～R5-mを切り替えて抵抗素子R5-0に並列に接続するためのスイッチSW5-1～SW5-mをオン／オフする構成とする。

【0059】[第4の実施形態] 図13に、本発明の第4の実施形態に係る時定数調整回路を示す。第3の実施形態では時定数発生部2がn個の時定数信号を同時に発生するのに対して、本実施形態では、一つの時定数発生部2が異なる時定数の複数の時定数信号を時分割で順次選択的に発生するように構成されている。

【0060】すなわち、時定数発生部2は抵抗素子Rint2-0と容量素子Cint2および起動用スイッチSW2Rの基本構成要素に加えて、n個の抵抗素子Rint2-1～Rint2-nと、これらを抵抗素子Rint2-0に並列に接続するためのスイッチSW2-1～SW2-nを有する。なお、時間基準発生部1の抵抗素子Rextと容量素子Cextが集積回路外部に設けられているのに対し、抵抗素子Rint2-0と容量素子Cint2および抵抗素子Rint2-1～Rint2-nは集積回路上、つまり電子回路5と同一チップ上に形成される。

【0061】この時定数発生部2では、時間基準発生部1内の起動用スイッチSW1および時定数発生部2内の起動用スイッチSW2Rをオン／オフさせる起動信号を入力とするカウンタ6の出力により、スイッチSW2-

10

20

30

40

50

1～SW2-nが順次オンとなる。起動信号は、時間基準発生部1および時定数発生部2の持つ時定数に比較して十分に長い時間間隔(例えば、時定数の10倍程度の間隔)で有限回発生される。そして、この起動信号をカウンタ6が所定個数カウントする毎にスイッチSW2-1～SW2-nが順次オンとなることによって、時定数発生部2において抵抗素子Rint2-0に並列接続される抵抗素子Rint2-1～Rint2-nの数が変わり、その並列合成抵抗値、つまり時定数に寄与する抵抗値が変化して、異なる時定数の時定数信号を選択的に順次発生する。

【0062】また、本実施形態では判定部3および記憶部4において、フリップフロップに代えてカウンタCNT2を用い、各々の起動信号に対して時間基準発生部1の出力が基準電圧Vb1になってコンパレータCMP1の出力が“1”となった時、この“1”をカウントするか否かを時定数発生部2の出力が基準電圧Vb1に達しているかどうかで決定させるようにしている。これは具体的には、コンパレータCMP1の出力をカウンタCNT2のクロック入力に与え、時定数発生部2の出力が基準電圧Vb1に達しているかどうかを判定するコンパレータCMP2の出力をカウンタCNT2のインバブル入力Eに与えることで実現できる。また、このように判定部3および記憶部4にカウンタCNT2を用いることで、図12で必要であったエンコーダENCを省くことも可能となる。

【0063】さらに、この例では時定数発生部2から時定数の異なる出力信号を順次選択的に出し、時間基準発生部1の出力信号が基準電圧Vb1に達した時点と、時定数発生部2の時定数の異なる出力信号が基準電圧Vb1に達した時点との前後関係の判定を判定部3において時分割で順次行うため、判定に要する時間が若干増えるが、時定数発生部2の構成素子数が減り、また判定部3および記憶部4で用いるコンパレータが少なくて済むので、時定数調整回路の構成が簡単となるという利点がある。

【0064】[第5の実施形態] 図14は、本発明の第5の実施形態に係る時定数調整回路の概略構成を示すブロック図である。この時定数調整回路は、集積回路上に構成された時定数を持つ電子回路15の時定数を調整する回路であり、基準抵抗回路11と、モニタ用抵抗回路12および判定部13からなる。但し、電子回路15は時定数の関わる抵抗素子および容量素子のうち容量素子は集積回路上に形成されておらず、集積回路の外付け素子として設けられている。

【0065】基準抵抗回路11は、集積回路の外部に設けられた抵抗素子を含んで構成され、この抵抗素子の値に依存した出力信号を発生する。モニタ用抵抗回路12は、集積回路上に形成された抵抗素子の値のばらつき、つまり電子回路15の時定数の変化をモニタするためのもので、集積回路上に形成された抵抗素子を含んで構成

され、この抵抗素子の値に依存した出力信号を発生する。

【0066】基準抵抗回路11およびモニタ用抵抗回路12の出力信号は判定部13に入力され、両者の大小関係が判定される。そして、この判定部13の判定結果に基づいて電子回路15の時定数が抵抗値の切り替えにより調整される。なお、図14の例ではモニタ用抵抗回路12は複数(n)個の抵抗回路12-1～12-nにより構成される。

【0067】時定数に関わる容量素子を集積回路外に設けた電子回路15における時定数のばらつきは、集積回路上に形成した抵抗素子の抵抗値のばらつきに基本的に依存する。このため、基準抵抗回路11で発生した電気信号とモニタ用抵抗回路12で発生した電気信号の大小関係を判定部13で判定することにより、集積回路上に形成した抵抗素子が所定の値より大きくなっているか小さくなっているか判定することができる。

【0068】従って、この判定部13の判定結果により、電子回路15の時定数に関わる抵抗素子を切り替えることで、参照交流信号を用いることなく電子回路の時定数調整が可能となる。この調整は、例えば電源投入時にのみ起動信号を発生させて行えばよいので、従来の手法のように常にダミーの時定数回路を動作させる必要はなく、またフィルタの周波数特性を測定する信号処理部を持つ必要もない。

【0069】次に、図14に示した時定数調整回路の具体例を説明する。

(第1の具体例) 図15は、図14を具体化した第1の具体例を示す回路図である。基準抵抗回路11は、トランジスタQN3-0とそのエミッタに接続された外付けの抵抗素子Rextにより構成される。モニタ用抵抗回路12は、トランジスタQN3-1～QN3-nとそのエミッタに接続された抵抗素子Rint2-1～Rint2-nにより構成される。トランジスタQN3-0～QN3-nのベースは共通に接続され、所定のバイアス電圧Vbb1が印加されている。

【0070】このような構成により、抵抗素子Rint2-1～Rint2-nおよびRextにはそれらの抵抗値に応じた電流が流れ、その電流がトランジスタQN3-0～QN3-nのコレクタより出力される。基準抵抗回路11の出力であるトランジスタQN3-0のコレクタ電流は判定部13に入力され、トランジスタQ3-0～Q3-nにより構成されるカレントミラーCM3-1によって複製される。カレントミラーCM3-1で複製された電流は、モニタ用抵抗回路12の出力であるトランジスタQN3-1～QN3-nのコレクタ電流と比較され、この比較結果がバッファB3-1～B3-nを介して判定部13の出力として電子回路15に供給される。

【0071】電子回路15では、判定部13の出力に従ってスイッチSW5-1～SW5-nのオン／オフが制

御され、これにより時定数が調整される。電子回路15は、例えば図11中に示した電子回路5と回路的には同一であるが、時定数を決める容量素子C510は外付けであり、精度が高いものとする。

【0072】次に、図15の時定数調整回路の動作を説明する。モニタ用抵抗回路12の抵抗素子Rint2-1～Rint2-nの抵抗値の関係はRint2-1>Rint2-2>…>Rint2-nであり、モニタ用抵抗回路12はこれらの抵抗値に応じた電流を発生する。例えばn=6とし、0.875×Rint2-1=0.925×Rint2-2=0.975×Rint2-3=1.025×Rint2-4=1.075×Rint2-5=1.125×Rint2-6=Rextとして、外付け抵抗素子Rextの値に1/0.875～1/1.125の重みを付いた値を抵抗素子Rint2-1～Rint2-6の設計値として設定する。抵抗素子Rint2-1～Rint2-6は同一の集積回路チップ上に形成されるため、その値の相対的なばらつきは非常に小さく、無視できるものとする。

【0073】このように集積回路チップ上に形成した抵抗素子Rint2-1～Rint2-6の値がばらつかず、設計値の通りであるとすると、前述したようにRint2-1>Rint2-2>Rint2-3>Rext>Rint2-4>Rint2-5>Rint2-6であることから、トランジスタQN3-1～QN3-3のコレクタ電流は、トランジスタQN3-0のコレクタ電流より小さく、トランジスタQN3-4～QN3-6のコレクタ電流は、トランジスタQN3-0のコレクタ電流より大きくなる。このため、トランジスタQN3-0のコレクタ電流とトランジスタQN3-1～QN3-6のコレクタ電流をカレントミラーCM3-1を介して電流比較すると、トランジスタQ3-1～Q3-3のコレクタ電位が高く、トランジスタQ3-4～Q3-6のコレクタ電位は低くなる。すなわち、バッファB3-1～B3-3は“1”を出力し、バッファB3-4～B3-6は“0”を出力する。

【0074】ここで、例えば集積回路チップ上に形成した抵抗素子がばらついて、5%大きくなつたとすると、モニタ用抵抗回路12の出力電流は、いずれも設計値の1/1.05倍、つまり、およそ4.8%小さくなる。従って、抵抗素子の大小関係はRint2-1>Rint2-2>Rint2-3>Rint2-4>Rext>Rint2-5>Rint2-6となり、トランジスタQN3-0のコレクタ電流とトランジスタQN3-1～QN3-6のコレクタ電流を比較すると、トランジスタQ3-1～Q3-4のコレクタ電位が高く、トランジスタQ3-5～Q3-6のコレクタ電位は低くなる。すなわち、バッファB3-1～B3-4は“1”を出力し、バッファB3-5～B3-6は“0”を出力する。このようにして、判定部13で抵抗素子のばらつきの度合を知ることができる。

【0075】電子回路15は、図11と同様に一つの外付け容量素子C510を有し、スイッチSW5-1～SW5-nを切り替えて抵抗素子R5-1～R5-nを抵抗素子

21

R5-0 に適宜並列に接続するのみで時定数が調整できる構成をとる。上の説明に合わせて $n = 6$ とすると、スイッチ SW5-1～SW5-6 が全て開放した時、R5-0 = $1.1765 \times R_{5\text{nominal}}$ 、つまり抵抗素子 R5-0 の値を所望の抵抗値 $R_{5\text{nominal}}$ に対して 1.1765 倍にとり、スイッチ SW5-1～SW5-6 が閉じた時に互いに並列に接続される抵抗素子 R5-1～R5-6 の値を $R_{5-1} = R_{5-2} = \dots = R_{5-6} = 1.7 \times R_{5-0}$ に設定する。

【0076】ここで、集積回路上で抵抗素子の値が 5 % 大きくなると、上述したように判定部 13においてバッファ B3-1～B3-4 は “1” を出力し、バッファ B3-5～B3-6 は “0” を出力するので、電子回路 15においてスイッチ SW5-1～SW5-4 が閉じ、抵抗素子 R5-1～R5-4 が抵抗素子 R5-0 に並列接続される。このとき、抵抗素子 R5-0, R5-1～R5-4 の並列合成抵抗の値は $0.8095 \times R_{5-0}$ となり、抵抗素子の値が 5 % 大きくなつたことまで勘定に入れると、 $0.8095 \times R_{5-0} = 0.8095 \times 1.1765 \times 1.05 \times R_{5\text{nominal}} = 1.000025 \times R_{5\text{nominal}}$ となる。このように集積回路上の抵抗素子のばらつきを自動調整することにより、電子回路 15における時定数のばらつきを自動調整できる。

【0077】さらに、この例ではモニタ用抵抗回路 12 から複数の抵抗値に依存した出力信号を同時に出し、基準抵抗回路 11 からの出力信号とモニタ用抵抗回路 12 からの複数の抵抗値に依存した出力信号の大小関係を判定部 13 で並行して行っているため、構成素子数はやや多くなるが、モニタ用抵抗回路 12 からの出力信号が一つの場合と同等の速度で判定ができ、時定数の調整に要する時間が短時間で済むという利点がある。

(第2の具体例) 図 16 に、図 14 を具体化した第2の具体例を示す。通常、集積回路上の電源電位および GND 電位は、集積回路上の配線抵抗により、集積回路に供給される電源電位および GND 電位からずれる。このため、モニタ用抵抗回路 12 の集積回路上の GND 電位と基準抵抗回路 11 の外部 GND 電位の差により、抵抗素子のばらつきを正確に判定できない場合もある。

【0078】この問題は、図 16 に示すようにモニタ用抵抗回路 12 の GND 電位を集積回路上の他の GND 電位と独立して、すなわち例えば基準抵抗回路 11 に接続されている外部 GND から与え、モニタ用抵抗回路 12 の GND 電位が外部より集積回路に印加する GND 電位からずれるのを低減させることで解消でき、これにより抵抗素子のばらつきを正確に判定することが可能となる。

【0079】また、図 15 では外乱などにより判定部 13 における電流比較結果が不安定になることがあるが、この点は図 16 中に示すようにバッファ B3-1～B3-n にヒステリシスを持たせることで緩和できる。すな

22

わち、バッファ B3-1～B3-n はその入力であるトランジスタ QP3-1～QP3-3 のコレクタ電位が外乱により多少の範囲内で変化しても出力は変化しない特性、いわゆるヒステリシス特性を有している。

【0080】【第6の実施形態】図 17 に、本発明の第6の実施形態に係る時定数調整回路を示す。第5の実施形態では、モニタ用抵抗回路 12 が重み付けられた n 個の抵抗素子 Rint2-1～Rint2-n を介して n 個の出力信号を同時に発生するのに対して、本実施形態では、モニタ用抵抗回路 12 が n 個の出力信号を時分割で順次選択的に発生するように構成されている。

【0081】すなわち、モニタ用抵抗回路 12 はトランジスタ QN3-1 と抵抗素子 Rint2-0 に加えて、n 個の抵抗素子 Rint2-1～Rint2-n と、これらを抵抗素子 Rint2-0 に並列に接続するためのスイッチ SW2-1～SW2-n を有する。なお、基準抵抗回路 11 の抵抗素子 Rext が集積回路外部に設けられているのに対し、抵抗素子 Rint2-0, Rint2-1～Rint2-n は集積回路上、つまり電子回路 15 と同一チップ上に形成される。

【0082】このモニタ用抵抗回路 12 では、起動信号を入力とするカウンタ 16 の出力により、スイッチ SW2-1～SW2-n が順次オンとなる。起動信号は、抵抗値のばらつきのモニタを十分に行うことができるような長い時間間隔で有限回発生される。そして、この起動信号をカウンタ 16 が所定個数カウントする毎に、スイッチ SW2-1～SW2-n が順次オンとなることによって、モニタ用抵抗回路 12 において抵抗素子 Rint2-0 に並列接続される抵抗素子 Rint2-1～Rint2-n の数が変わり、その並列合成抵抗値、つまりモニタ用抵抗回路 12 の出力信号の電圧に寄与する抵抗値が変化して、異なる電圧の出力信号を選択的に順次発生する。

【0083】一方、基準抵抗回路 11 の出力であるトランジスタ QN3-0 のコレクタ電流は判定部 13 に入力され、この場合は二つのトランジスタ QP3-0, QP3-1 により構成されるカレントミラーによって複製される。このカレントミラーで複製された電流は、モニタ用抵抗回路 12 の出力であるトランジスタ QN3-1 のコレクタ電流と比較され、この比較結果がバッファ B3-1 を介して判定部 13 の出力となる。

【0084】判定部 13 の出力は、この例では記憶部を構成するカウンタ 14 のイネーブル入力に与えられる。カウンタ 14 のクロック入力には、カウンタ 16 のクロック入力に与えられた起動信号が遅延部 17 を介して与えられる。遅延部 17 の遅延時間は、カウンタ 16 に起動信号が入力されてから判定部 13 に出力が現れるまでの時間と等しく選ばれる。従って、カウンタ 14 にはスイッチ SW2-1～SW2-n のオンに同期して判定部 13 の出力が記憶され、これが電子回路 15 に供給される。電子回路 15 では、カウンタ 14 の出力に従ってスイッチ SW5-1～SW5-n のオン／オフが制御さ

れ、時定数が調整される。

【0085】さらに、この実施形態ではモニタ用抵抗回路12から複数の抵抗値に依存した出力信号を順次選択的に出力し、基準抵抗回路11からの出力信号とモニタ用抵抗回路12からの複数の抵抗値に依存した出力信号の大小関係を判定部13で時分割で順次行うため、判定に要する時間が若干増えるが、判定部13が少なくて済み、構成が簡単となるという利点がある。

【0086】

【発明の効果】以上説明したように、本発明では(1)集積回路の外部に設けられた時定数回路の時定数を基準として、集積回路上に形成された時定数回路の時定数のばらつきをモニタし、これに基づいて集積回路上に構成された時定数を持つ電子回路の時定数を調整するか、あるいは(2)集積回路の外部に設けられた抵抗素子を基準として、集積回路上に形成された抵抗素子のばらつきをモニタし、これに基づいて集積回路上に形成された抵抗素子と該集積回路外に設けられた容量素子とを含む時定数子を持つ電子回路の時定数を調整するようにしている。

【0087】従って、集積回路の外部に複雑な参照交流信号源を用意する必要がなく、またフィルタの周波数特性を測定する信号処理部を必要とすることもないので、非常に簡単な構成により時定数の調整を行うことができ。また、一旦得られた判定結果を記憶して時定数の調整を行うことにより、時定数の調整は例えば電源投入時にのみ起動信号を発生させて行えばよく、従来の手法のように常にダミーの時定数回路を動作させる必要はないので、消費電流の低減が可能となる。

【0088】さらに、上記(2)の場合は、時定数モニタ用の複数の抵抗素子を有する第2の抵抗回路から異なる抵抗値に依存した出力信号を同時にまたは順次選択的に発生させ、基準の第1の抵抗回路の出力信号と第2の抵抗回路の異なる抵抗値に依存する出力信号との大小関係を判定することによって、時定数のばらつきの度合いを検出することにより、時定数の調整精度をさらに上げることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る時定数調整回路の概略構成を示すブロック図

【図2】同実施形態に係る具体例を示す回路図

【図3】同実施形態に係る他の具体例を示す回路図

【図4】同実施形態に係る他の具体例を示す回路図

【図5】同実施形態に係る他の具体例を示す回路図

【図6】同実施形態に係る他の具体例を示す回路図

【図7】同実施形態に係る他の具体例を示す回路図

【図8】本発明の第2の実施形態に係る時定数調整回路の概略構成を示すブロック図

【図9】同実施形態に係る具体例を示す回路図

【図10】本発明の第3の実施形態に係る時定数調整回路の概略構成を示すブロック図

【図11】同実施形態に係る具体例を示す回路図

【図12】同実施形態に係る他の具体例を示す回路図

【図13】本発明の第4の実施形態に係る時定数調整回路の回路図

【図14】本発明の第5の実施形態に係る時定数調整回路の概略構成を示すブロック図

【図15】同実施形態に係る具体例を示す回路図

【図16】同実施形態に係る他の具体例を示す回路図

【図17】本発明の第6の実施形態に係る時定数調整回路の回路図

【符号の説明】

1…時間基準発生部

2…時定数発生部

2-1～2-n…時定数回路

3…判定部

4…記憶部

5…電子回路

6…カウンタ

11…基準抵抗回路

12, 12-1～12-n…モニタ用抵抗回路

13…判定部

14…カウンタ

15…電子回路

16…カウンタ

17…遅延部

Rext…時間基準発生部の抵抗素子

Rint, Rint1, Rint2-1～Rint2-n…時定数発生部の抵抗素子

Cint, Cint1, Cint2-1～Cint2-n…時定数発生部の容量素子

SW1, SW2, SW21, SW22, SW2-1～SW2-n…起動用スイッチ

SW51～SW53, SW5-1～SW5-n…時定数切り替え用スイッチ

CMP1, CMP2, CMP2-1～CMP2-n, CMP3…コンパレータ

FF, FF-1～FF-n…フリップフロップ

A21, A51, A52…增幅回路

CNT1, CNT2…カウンタ

E21…電圧源

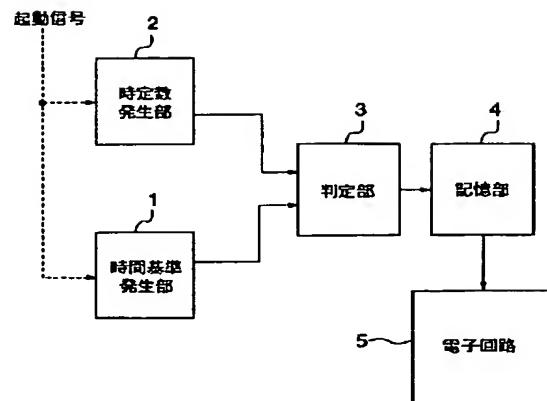
T21…トランスクンダクタ

ENC…エンコーダ

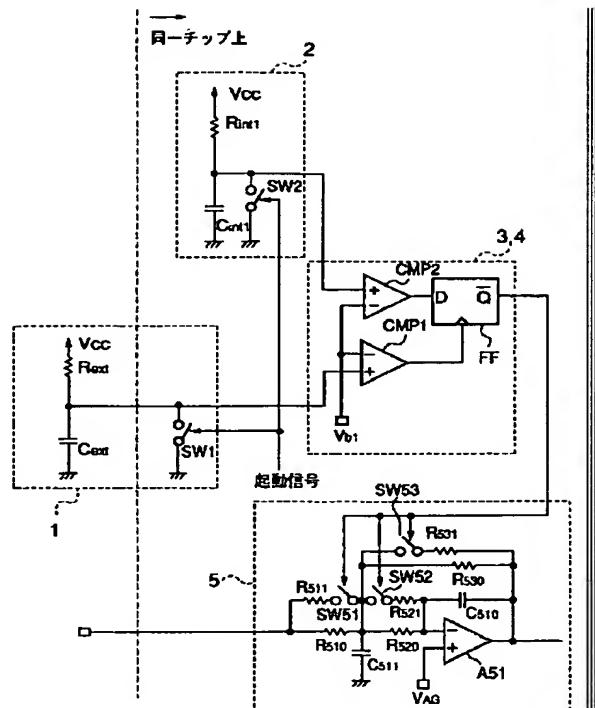
B3-1～B3-n…バッファ

CM31…カレントミラー

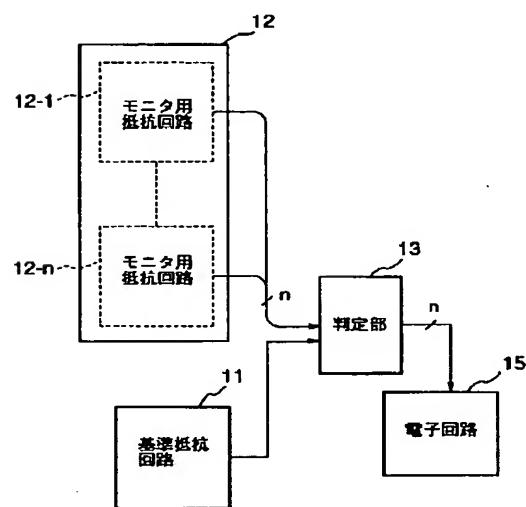
【図1】



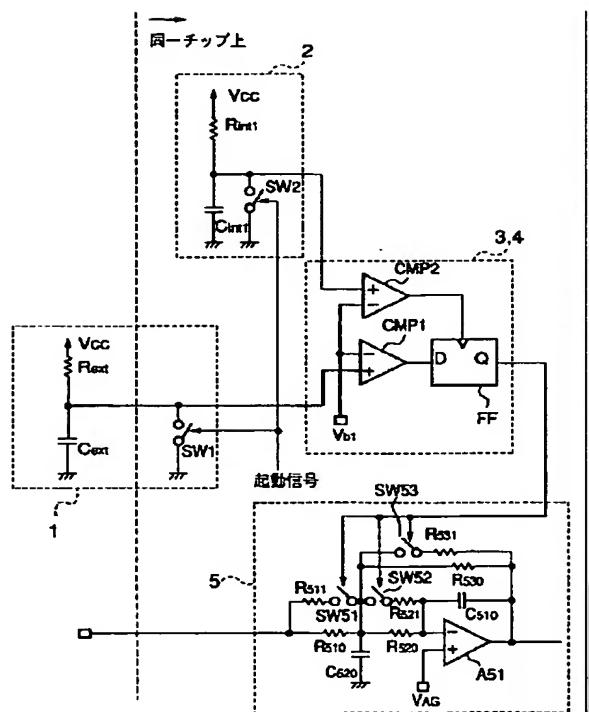
【図2】



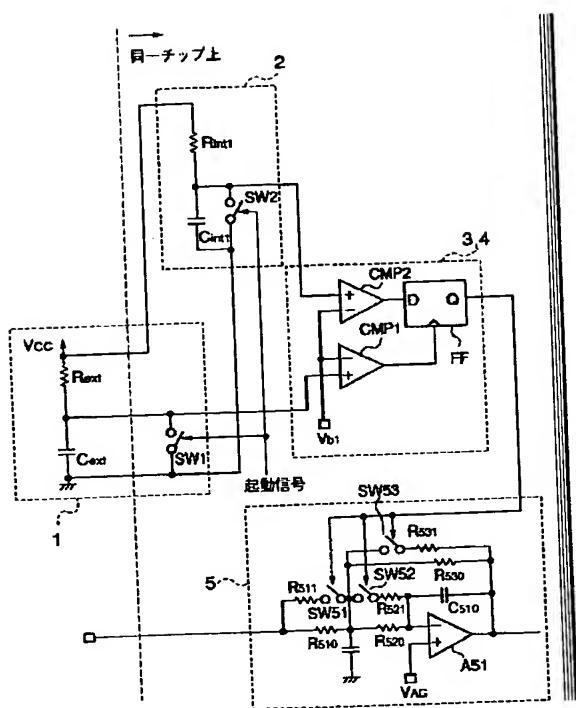
【図4】



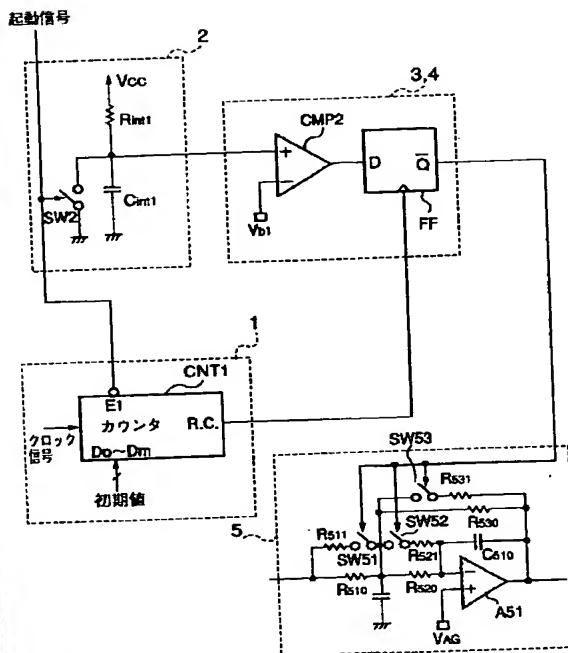
【図3】



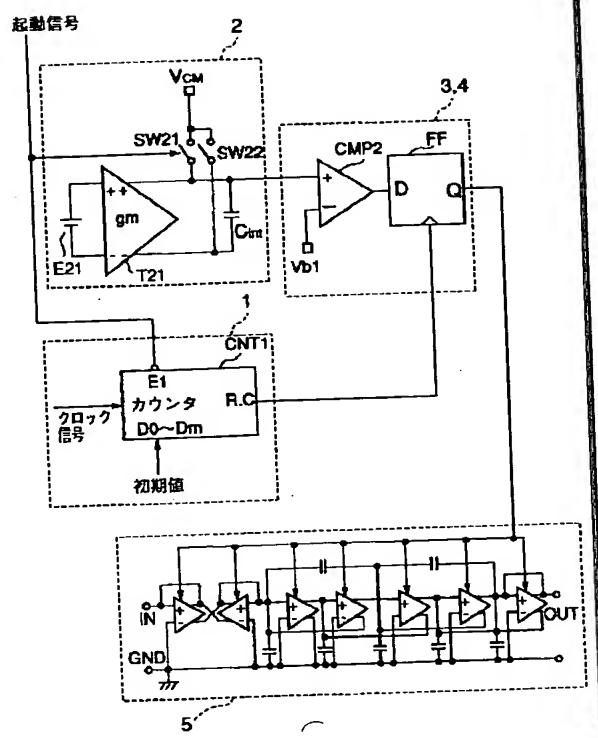
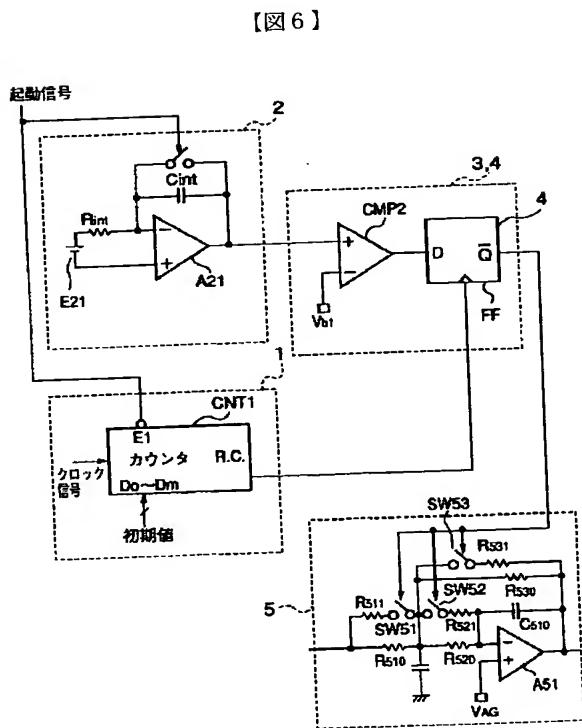
【図4】



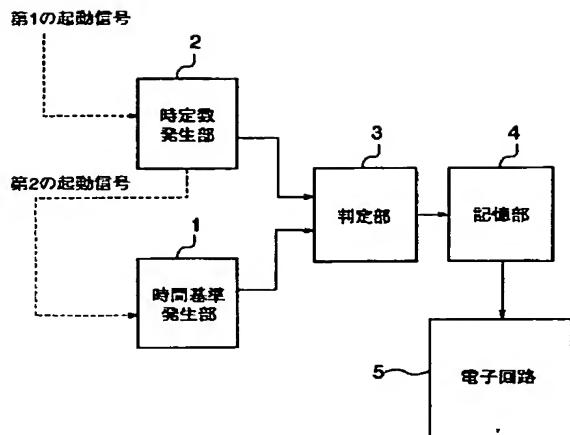
【図5】



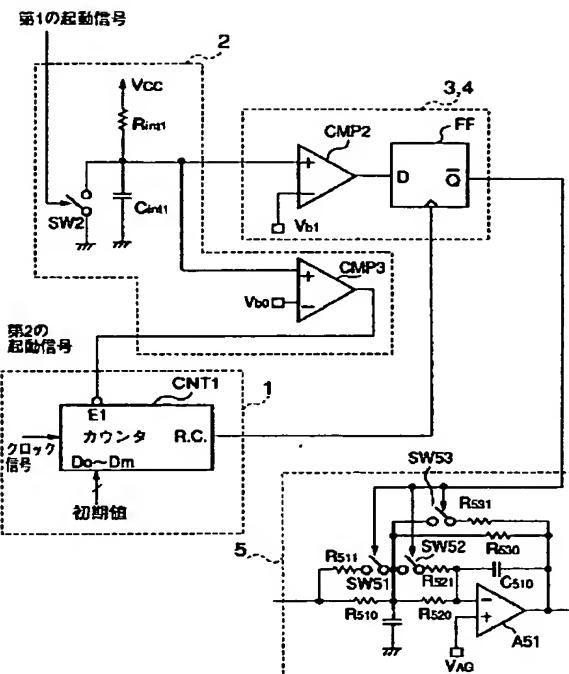
【図7】



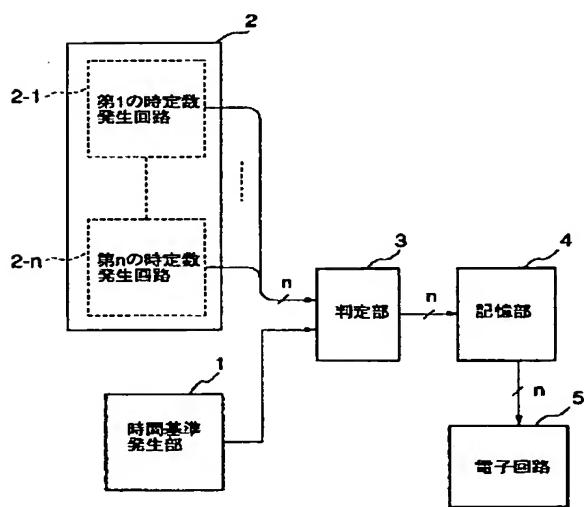
【図8】



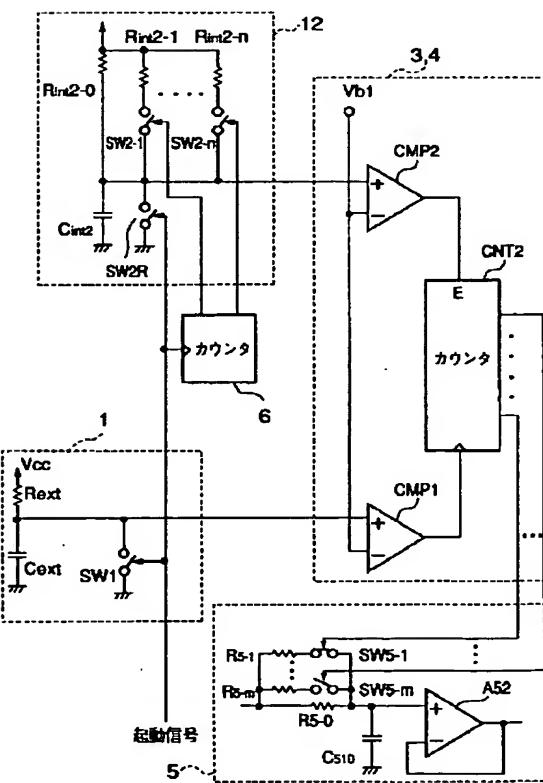
【図9】



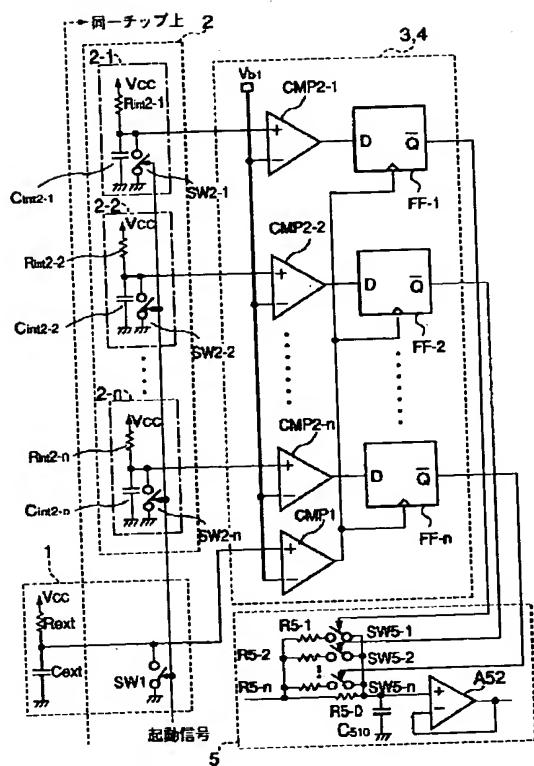
【図10】



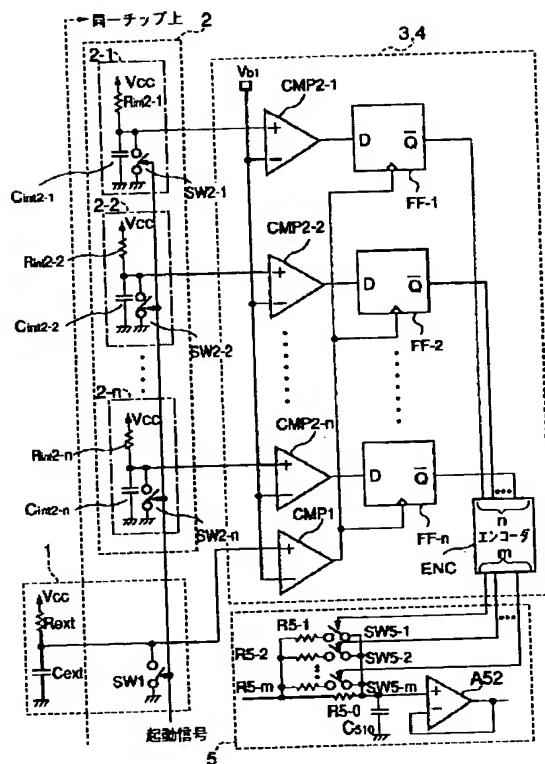
【図13】



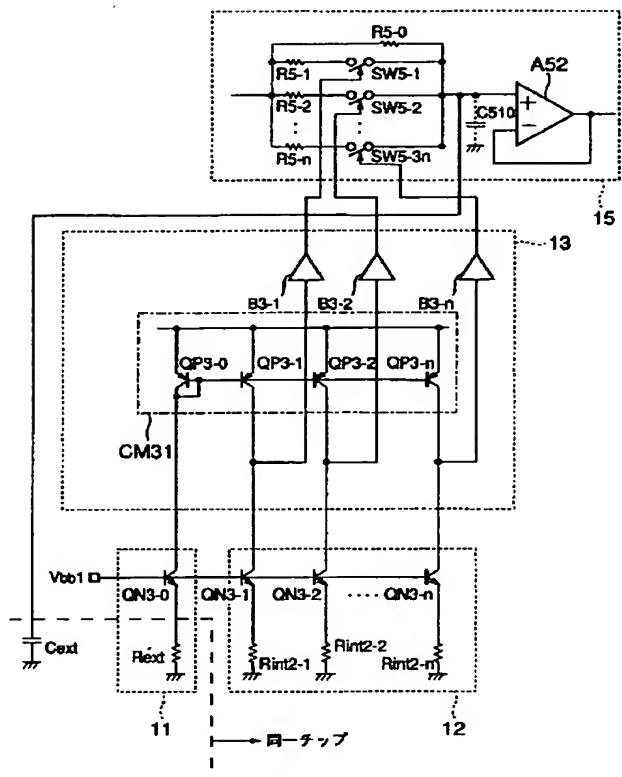
【図11】



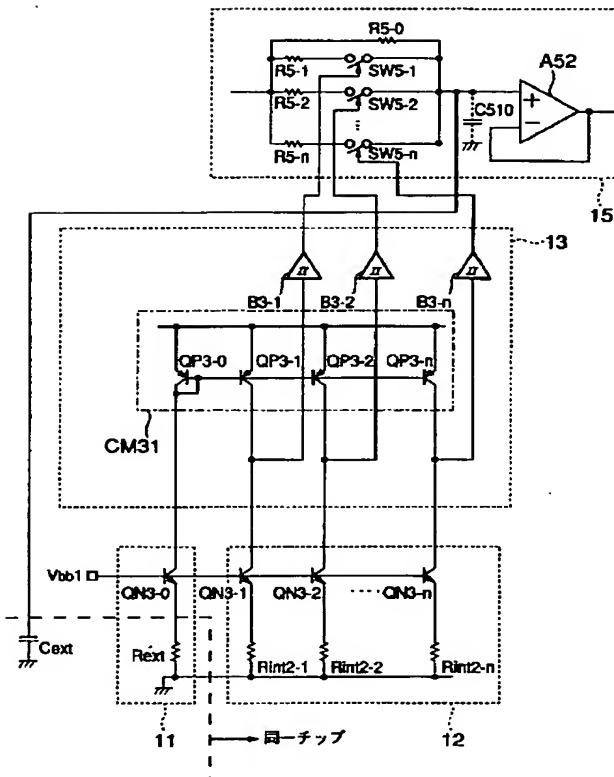
【図12】



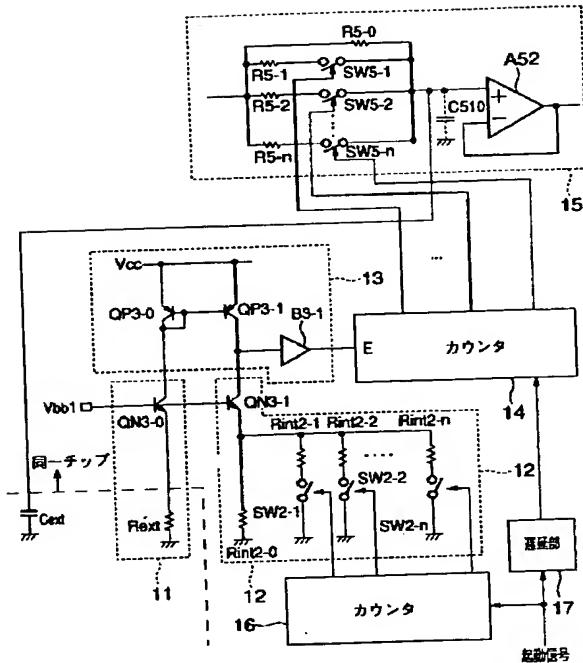
【図15】



【図16】



【図17】



フロントページの続き

(56) 参考文献 特開 平3-209910 (J P, A)
 特開 平4-340244 (J P, A)
 特開 平8-274581 (J P, A)
 特開 平5-347537 (J P, A)
 特開 平4-347918 (J P, A)
 特開 平7-274582 (J P, A)
 特開 平5-209929 (J P, A)

(58) 調査した分野 (Int. Cl. 7, D B名)
 H03H 11/04